

RESULT LIST

1 result found in the Worldwide database for:

JP10083690 (priority or application number or publication number)

(Results are sorted by date of upload in database)

1 SEMICONDUCTOR STORAGE

Inventor: SATO TOSHIYA

Applicant: NIPPON ELECTRIC CO

EC:

IPC: **G11C17/00; G11C16/02; G11C16/04** (+9)

Publication info: **JP10083690** - 1998-03-31

Data supplied from the *esp@cenet* database - Worldwide

3. JP 10-083690 A

(54) **SEMICONDUCTOR STORAGE**

(57) Abstract:

PROBLEM TO BE SOLVED: To increase a read-out speed by separately providing bit lines on a precharge circuit and a read-out load circuit and expanding output voltage amplitude while keeping a precharge speed.

SOLUTION: When a cell transistor existing in a block of CA3-1 is selected, an X decoder XDEC3-4 is operated, and a selection line YS3-1 is made high. N type MOS transistors N3-24, N3-29, N3-33, N3-37 are turned on, and the CAS cell array-1 is connected to a cell transistor reading current-voltage conversion circuit, and read-out operation is made possible. Charges are supplied to a selected bit line by a P type MOS transistor P3-4 through P3-1, and by expanding the output voltage amplitude, the read-out speed is increased.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-83690

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl.⁶

G 1 1 C 16/06
16/04

識別記号

庁内整理番号

F I

G 1 1 C 17/00

5 2 0 A
3 0 8

技術表示箇所

審査請求 有 請求項の数 8 F D (全 10 頁)

(21) 出願番号 特願平8-257496

(22) 出願日 平成8年(1996) 9月6日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 佐藤 敏哉

東京都港区芝五丁目7番1号 日本電気株式会社内

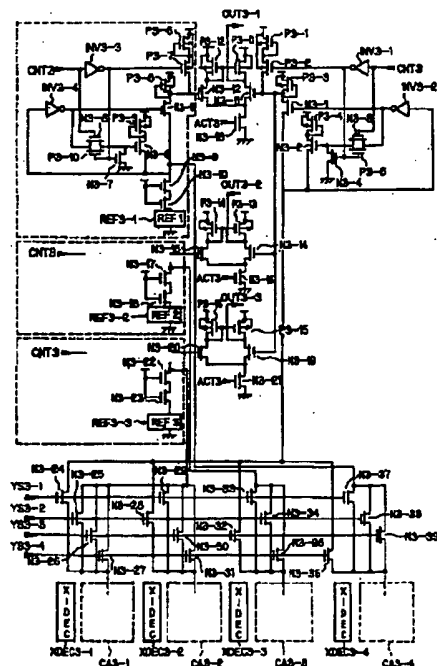
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】半導体記憶装置、特に読み出し動作の速度が遅くなる多値型や低電圧の電源での読み出し動作においてビット線の充電の高速化と電流-電圧変換回路の振幅を大きくすることで両立して高速化をはかる。

【解決手段】セルトランジスタを選択し読み出し動作に入るとき、まずCNT3をHighにし、抵抗値の小さなP3-4によりビット線を高速に充電する。充電完了後、CNT3をLにして抵抗値の大きなP3-3から電流供給を行うことでセルトランジスタに流れる電流値の僅かな変動に対してB3の電位の変動を大きくとることができる。この動作によりビット線の充電の高速化と差動増幅回路の動作の高速化が両立できる。



【特許請求の範囲】

【請求項1】ビット線をプリチャージするための回路と、読み出し用の負荷回路と、をそれぞれ個別に備え、前記ビットのプリチャージの速度と出力電圧の振幅を独立に設定可能とし、

前記ビット線に対する所望のプリチャージ速度を維持しながら、しかも出力電圧振幅を広げるようにしたことを特徴とする半導体記憶装置。

【請求項2】ビット線を充電する第1の回路と、前記ビット線に流れる電流値に応じて出力電位を変化させる第1の電流-電圧変換回路と、を備え、読み出し動作の際には、前記第1の回路又は前記第1の回路と前記第1の電流-電圧変換回路の両方で前記ビット線を充電し、前記ビット線が所定の電位に達した際に、前記第1の電流-電圧変換回路により、セルトランジスタに流れる電流に応じて電位を出力する、ことを特徴とする半導体記憶装置。

【請求項3】リファレンス電位を設定する回路手段を有し、

出力電位を測定する手段が、前記リファレンス電位と前記出力電位と、を比較増幅する差動増幅回路からなることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】前記リファレンス電位を設定する回路手段が、電流源（「リファレンス電流源」という）を備え、前記電流源に流れる電流値に応じて出力電位を変化させる第2の電流-電圧変換回路を備えたことを特徴とする請求項3記載の半導体記憶装置。

【請求項5】前記リファレンス電位を設定する回路手段が、前記リファレンス電流源の節点が所定の電位に達するまで充電動作を行う第2の回路を有することを特徴とする請求項4記載の半導体記憶装置。

【請求項6】前記第1の回路と前記第2の回路同士、及び、前記第1の電流-電圧変換回路と前記第2の電流-電圧変換回路同士、がそれぞれ同等の構成とされてなることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】前記リファレンス電位を設定する回路手段及び前差動増幅回路を複数備え、1個のセルトランジスタから2ビット以上のデータを読み出すことを特徴とする請求項3、4、5、6のいずれかに記載の半導体記憶装置。

【請求項8】請求項7記載の半導体記憶装置において、分割された複数のセルアレイを有し、前記セルアレイ専用の行デコーダを有し、個々の行デコーダのうち読み出し対象となるセルトランジスタを持つセルアレイの行デコーダのみを選択動作させる機能手段を有し、読み出し動作の際に、前記リファレンス電位を生成する回路手段を読み出し対象ではないセルアレイに接続させることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に読み出し動作の高速化及びセンスマージンの拡大を図るようにした半導体記憶装置に関する。

【0002】

【従来の技術】従来の半導体記憶装置の読み出し回路、特に、不揮発性半導体記憶装置の読み出し回路においては、データの保持されているセルトランジスタのゲート、ドレイン、ソースに電位を印加し、セルトランジスタに流れる電流量を、基準となるリファレンス電流源に流れる電流値と比較し、リファレンス電流値に対してセルトランジスタに流れる電流値が大きい小さいかによって、書込データ値を判断する、という構成とされている。

【0003】また、近時、1個のセルトランジスタに2ビット以上のデータを保持するようにした多値型の半導体記憶装置に関して、様々な検討がなされているが、基本的には、この多値型の半導体記憶装置においても、前述の従来の半導体記憶装置における読み出し方法を踏襲するものであった。

【0004】後の説明で明らかとされるように、本発明は、半導体記憶装置の読み出し回路のなかでも、特に、多値型の半導体記憶装置に適用した場合にその作用効果が絶大であることから、以下では、従来技術として、多値型の半導体記憶装置の読み出し動作について説明することにする。

【0005】図4は、従来の読み出し方法を用いた多値型の不揮発性半導体記憶装置の読み出し回路の一例を示す図である。

【0006】図4を参照して、この回路の基本的な構成は、まず電流-電圧変換回路は、セルトランジスタCELL4-1に、選択トランジスタとして作用するN型MOSトランジスタN4-2を接続し、節点A4の電位を保持するためのフィードバック制御を行うN型MOSトランジスタN4-1、インバータINV4-1を備え、と共、セルトランジスタCELL4-1へ電位を印加するための負荷トランジスタ（P型MOSトランジスタ）P4-1を備え、セルトランジスタCELL4-1に流れる電流値に応じて、節点B4の電位を変化させる、構成とされている。

【0007】また、図4において、破線で囲んだ部分は、リファレンスとしての電位を生成するための回路であり、その電流-電圧変換回路としての構成は、上記したセルトランジスタ側と同等とされる。電流源として、REF1、REF2、REF3がそれぞれの電流-電圧変換回路に接続されることで、節点C4、D4、E4の電位をリファレンスとしての電位に固定するものである。

【0008】セルトランジスタCELL4-1に流れる電流値に応じて設定された節点B4の電位は、リファレンスによって設定された節点C4、D4、E4の電位

と、それぞれ第1～第3の差動増幅回路にて比較増幅され、差動増幅回路の出力端子OUT4-1、OUT4-2、OUT4-3より比較増幅された結果が出力される。なお、第1の差動増幅回路は、ソースが共通接続されて定電流源トランジスタN4-7に接続され、ゲートに節点B4、C4の電位を入力とする差動対N型MOSトランジスタN4-5、N4-6と、差動対トランジスタN4-5、N4-6のドレインと電源間に接続されカレントミラーを構成し能動負荷として作用するP型MOSトランジスタP-2、P4-4から構成され、カレントミラーの出力端であるトランジスタP4-2とトランジスタN4-5の接続点から出力OUT4-1を取り出しており、定電流源トランジスタN4-7のゲートは節点ACT4の電位が入力されている。なお、第2、第3の差動増幅器も同様な構成とされている。

【0009】図5は、図4の回路の動作を説明するためのタイミング波形図である。図5を参照して、図4に示した回路の動作は、以下の通りである。

【0010】まず、節点ACT4がHighレベル（高レベル）になり、定電流源トランジスタN4-7、N4-10、N4-13が導通し、第1から第3の差動増幅回路が動作を開始する。

【0011】次に、ワード線W4-1がHighレベルとなり、カラム選択線YS4-1がHighレベルになることで、読み出すべきセルトランジスタが選択される。

【0012】この結果、選択されたビット線に電荷が供給され、節点A4の電位が上昇し、これにともない、節点B4の電位も上昇する。

【0013】最終的にビット線の電位が十分上昇し、N型MOSトランジスタN4-1、及びインバータ回路INV4-1からなるフィードバック回路によって、節点A4の電位が固定され、その結果、節点B4の電位が固定される。

【0014】このときリファレンスとなる節点C4、D4、E4の電位とB4の電位が比較増幅され、OUT4-1、OUT4-2、OUT4-3の出力が決定する。

【0015】ちなみに、図4及び図5に示した例では、1セルに2ビットのデータを保持する構成とされており、従ってセルの状態としては、4個の状態をもてよく、これを分離、検知するためのリファレンスは3個必要であることは、容易に理解される。

【0016】

【発明が解決しようとする課題】しかしながら、図4及び図5を参照して説明した上記従来の半導体記憶装置においては、多値型にした場合や電源電圧が低下した場合、読み出し速度が著しく低下するという問題点を有している。この理由を以下に説明する。

【0017】図4及び図5で示したように、読み出し動作が完了するには、節点C4、D4、E4とB4の電位

差を差動増幅回路により比較増幅することによって得られるが、図5（B）から明らかなよう、節点C4、D4、E4、B4の電位差は、きわめて少ないもので、差動増幅が完了するまでに非常に時間がかかっていた。

【0018】節点C4、D4、E4、B4の電位差が小さい理由は、図4における、負荷トランジスタP4-1のゲート長に起因している。

【0019】すなわち、節点C4、D4、E4、B4の電位差を大きくするためには、P型MOSトランジスタP4-1のゲート長を短くして、P型MOSトランジスタP4-1の抵抗値（オン抵抗）を増せばよいのであるが、通常、ビット線の負荷容量が大きいので、ビット線が前記フィードバック回路によってクランプされる電位に達するまでに時間がかかりすぎてしまうことから、トランジスタP4-1のゲート長をあまり短くできなかった。

【0020】図6に、P型MOSトランジスタP4-1の抵抗値を増した場合の、各節点の信号波形を示す。図6より明らかなように、トランジスタP4-1の抵抗値を増すと、電位が安定した際の、節点C4、D4、E4、B4の電位差は大きくなり、差動増幅回路の出力波形は短時間で反転するようになる。しかし、そのかわり、節点A4、B4の信号波形からわかる通り、ビット線を充電するために要する時間が長くなってしまふ。

【0021】すなわち、従来の読み出し回路を用いた場合においては、差動増幅回路の反転速度をあげようとすると、ビット線の充電時間が長くなり、ビット線の充電時間を短くすると差動増幅回路の反転時間が長くなってしまい、結局、高速に読み出しすることができなかった。

【0022】そして、この問題点は、電源電圧が下がれば下がるほど、または1個のセルトランジスタの保持するデータの数を増やせば増やすほど顕著となり、高集積度と低電源化をはかるうえで、大きな問題になっていた。

【0023】したがって、本発明は、上記事情に鑑みてなされたものであって、その目的は、ビット線の充電時間の高速化を図ると共に、なおおかつ電流-電圧変換回路の出力電位の振幅を大きくとることで、読み出し速度を高速化し、特に多値型の半導体記憶装置の読み出し速度および低電位における読み出し動作を高速化する半導体記憶装置を提供することにある。

【0024】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体記憶装置は、ビット線をプリチャージするための回路と、読み出し用の負荷回路と、をそれぞれ個別に備え、前記ビットのプリチャージの速度と出力電圧の振幅を独立に設定可能とし、前記ビット線に対する所望のプリチャージ速度を維持しながら、しかも出力電圧振幅を広げるようにしたことを特徴とする。

【0025】また、本発明は、好ましくは、ビット線を充電する第1の回路と、前記ビット線に流れる電流値に応じて出力電位を変化させる第1の電流-電圧変換回路と、を備え、読み出し動作の際には、前記第1の回路又は前記第1の回路と前記第1の電流-電圧変換回路の両方で前記ビット線を充電し、前記ビット線が所定の電位に達した際に、前記第1の電流-電圧変換回路により、セルトランジスタに流れる電流に応じて電位を出力する、ことを特徴とする。

【0026】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明は、その好ましい実施の形態において、ビット線を充電するビット線充電回路（図1のトランジスタP1-4、N1-2）を有し、ビット線に流れる電流値に応じて出力電位を変化させる第1の電流-電圧変換回路（トランジスタP1-3、N1-1、あるいはP1-1、P1-2を含む）を有し、読み出し動作の際には、ビット線充電回路または、ビット線充電回路と第1の電流-電圧変換回路の両方でビット線を充電し、ビット線が所定の電位に達したならば、第1の電流-電圧変換回路によりセルトランジスタに流れる電流に応じて電位を出力するように制御する手段を備えて構成されている。

【0027】本発明の実施の形態においては、読み出すべきセルトランジスタを選択した直後は抵抗値の小さな充電用の負荷トランジスタによってビット線を高速に充電し、ビット線の充電が完了された時点で、負荷トランジスタを抵抗値の大きな読み出し用のトランジスタ（図1のP1-3）のみとし、電流電圧切換回路の出力振幅を大きくとる。

【0028】本発明の実施の形態においては、このような構成とすることで、ビット線の充電時間の高速化を図りながら、なおかつ電流-電圧変換回路の出力電位の振幅をおおきくとすることが可能で読み出し速度を高速化し、特に多値型の半導体記憶装置の読み出し速度および低電位における読み出し動作を高速化が可能としている。

【0029】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して詳細に説明する。

【0030】図1は、本発明の一実施例の構成を示す図であり、従来例と同様、多値型半導体記憶装置の一例として、1個のセルトランジスタに2ビットのデータを記憶する構成を示す図である。

【0031】図1を参照して、本実施例と、図4に示した従来技術の相違点について以下に説明する。

【0032】図1に示す本実施例において、新たに備える回路として、P型MOSトランジスタP1-3、N型MOSトランジスタN1-1からなる読み出し用の負荷

回路、P型MOSトランジスタP1-4、N型MOSトランジスタN1-2からなるビット線充電回路、読み出し回路と充電回路によるビット線の充電電位を制御するインバータ回路INV1-2、充電回路の切換制御を実施する回路としてインバータINV1-1、N型MOSトランジスタN1-3、P型MOSトランジスタP1-5、N型MOSトランジスタN1-4と、を備えて、電流-電圧切換回路が構成されている。

【0033】読み出し用負荷トランジスタであるP1-3は、その抵抗値が高く設定されており、書き込み用負荷トランジスタであるP1-4は、その抵抗値が低く設定されている。

【0034】なお、図1において、P型MOSトランジスタP1-1、P1-2から成る回路は、P型MOSトランジスタP1-3の抵抗値が高いために、節点B1の充電速度が遅くなることを補うために設けられたものであり、P型MOSトランジスタP1-4の充電速度が十分速い場合には、省略することも可能である。

【0035】図1において、破線で囲んだ部分は、リファレンスの電位を設定する回路であり、回路構成としては、前述の電流-電圧変換回路と同等であり、異なる点は電流源として、セルトランジスタではなくリファレンス電流源が設けられている点である。

【0036】本実施例は、1個のセルトランジスタに2ビットのデータを保持する例であるのでリファレンス電流源は3個必要でありそれぞれREF1-1、REF1-2、REF1-3から成る。

【0037】差動増幅回路は、図4に示したカレントミラー回路を負荷とする従来技術と同様の構成とされ、リファレンス用の電流-電圧変換回路とセルトランジスタ用の電流-電圧変換回路の出力の差動増幅を行いOUT1-1、OUT1-2、OUT1-3にそれぞれの比較データを出力する。

【0038】図2は、図1の回路の動作を説明するためのタイミング波形を示す図である。図2を参照して、本実施例の動作は、以下の通りである。

【0039】図2（A）を参照して、まず、節点ACT1がHighレベルになり、差動増幅回路が動作を開始する。

【0040】次に、ワード線W1-1がHレベルになり、YS1-1がHighレベルになることで、読み出すべきセルトランジスタが選択される。

【0041】この直後に、インバータ回路INV1-1NIに入力される信号CNT1がHighレベルになり、この結果、選択されたビット線に、主としてP型MOSトランジスタP1-1、N型MOSトランジスタN1-2を介して電荷が供給され、図2（B）に示すように、節点A1の電位が上昇し、P型MOSトランジスタP1-1、P1-2およびP1-3から電荷が供給され、節点B1の電位も上昇する。

【0042】最終的にビット線の電位が十分上昇し、インバータ回路1NV1-2からなるフィードバック回路によって、節点A1および節点B1の電位が固定される(図2(B)参照)。

【0043】この際のビット線充電時間は、電荷の供給が主として、抵抗値の小さいP型MOSトランジスタP1-4によって行われるので、極めて高速に充電され、その結果、節点B4の電位が固定される速度も高速化されている。

【0044】図2(B)に示すように、同時に節点C1、D1、E1の電位も十分に充電される。

【0045】充電が完了したら、信号CNT1をLowレベルにする(図2(A)参照)。

【0046】この結果、N型MOSトランジスタN1-2はOFFし、ビット線に電荷を供給する負荷トランジスタは、P型MOSトランジスタP1-3のみとなる。

【0047】P型MOSトランジスタP1-3の抵抗値は大きいので、セルトランジスタに流れる電流値のわずかな変化に対応して、節点B1の電位を大きく変化させる。

【0048】同様にして、リファレンス側の出力である節点C1、D1、E1の電位もリファレンス電流源REF1-1、REF1-2、REF1-3の電流値に応じて大きく変動するので、3個ある差動増幅回路の入力電位差が大きくなり、その結果差動増幅回路は高速に反転することが可能となる。

【0049】以上説明したとおり、本実施例に係る、読み出し動作を実施すると、ビット線の充電時間を高速化することと、電流-電圧変換回路の出力電圧の振幅を大きくすることの両立が可能となり、セルトランジスタのわずかな電流差を高速に検知することが可能となる。

【0050】次に、本発明の他の実施例について図3を参照して詳細に説明する。図3は、本発明の第2の実施例の回路構成を示す図である。本実施例において、基本動作は前記第1の実施例と同等とされ、以下では前記第1の実施例との相違点を説明する。

【0051】図3を参照して、本実施例が、図1に示した前記第1の実施例と相違する点は、セルトランジスタの選択の手法である。

【0052】通常、セルトランジスタを選択すると電流-電圧変換回路とセルトランジスタの間には、セルアレイ及びセレクトトランジスタに負荷抵抗及び負荷容量が存在するため、読み出し動作を行うときのセルトランジスタ側のビット線電位の変化の仕方と、リファレンス側のビット線の電位の変化の仕方が異なってしまう、読み出し動作の際の誤動作を引き起こし易く、電源電位の変動に対しても誤動作する可能性がある。本実施例においては、この点を解決すべく、以下のような回路が付加されている。

【0053】図3を参照して、N型MOSトランジスタ

N1-24~N1-39は、ビット線を選択するセレクトトランジスタである。図3から明らかなように、セルアレイは4つのブロックに分割されており、いずれか1個のブロックを選択すると、他のブロックはリファレンス回路に接続されることがわかる。

【0054】例えば、CA3-1のブロックにあるセルトランジスタを選択する場合を例にとると、まずXデコーダXDEC3-4を動作させ、選択線YS3-1をHighにする。

【0055】この結果、N型MOSトランジスタN3-24、N3-29、N3-33、N3-37がオン(ON)し、CA3-1は、セルトランジスタリード用の電流-電圧変換回路に接続され、CA3-2、CA3-3、CA3-4はそれぞれリファレンス用の電流-電圧変換回路に接続される。

【0056】読み出し動作を行う際には、この状態で読み出しをするセルトランジスタが存在するXデコーダのみを動作させることになる。

【0057】この結果、セルトランジスタ用の電流-電圧変換回路と、リファレンス用の電流-電圧変換回路に接続される負荷を、同一にすることが可能であり、読み出し動作の際の誤動作を防ぎ、電源電位の変動に対しても誤動作を防止することが可能である。

【0058】

【発明の効果】以上説明したように、本発明によれば、所定の電位に達するまでビット線を充電する第1の回路を有し、ビット線に流れる電流値に応じて出力電位を変化させる第1の電流-電圧変換回路を有し、読み出し動作の際には第1の回路または、第1の回路と第1の電流-電圧変換回路の両方でビット線を充電し、ビット線が所定の電位に達したならば第1の電流-電圧変換回路によりセルトランジスタに流れる電流に応じて出力される電位を測定することにより、読み出し動作を実施する手段を有したことより、ビット線の充電時間の短縮と電流-電圧変換回路の出力の振幅の広さを両立することを可能とするという効果を奏する。

【0059】本発明によれば、例えば多値型の半導体記憶装置に適用した場合、あるいは低電圧の電源のもとでの読み出し動作において、従来技術よりも高速な読み出し動作を可能としている。

【図面の簡単な説明】

【図1】本発明の一実施例の回路構成を示す図である。

【図2】本発明の一実施例の読み出し動作を説明するための各節点の信号電位の波形を示す図である。

【図3】本発明の第2の実施例の回路構成を示す図である。

【図4】従来技術の回路構成を示す図である。

【図5】従来技術の読み出し動作における各節点の電位の波形を示す図である。

【図6】従来技術の読み出し動作において、P型MOS

トランジスタP4-1の抵抗値を大きくした場合の各節点の電位の波形を示す図である。

【符号の説明】

N1-1~N1-19、N3-1~N3-39、N4-1~N4-13 Nch MOSTランジスタ

P1-1~P1-16、P3-1~P3-16、P4-1~P4-8 PchMOSTランジスタ

CELL1-1、CELL4-1 セルトランジスタ

REF1-1~REF1-3、REF3-1~REF3

-3、REF4-1~REF4-3 リファレンス電流源

* INV1-1~INV1-4、INV3-1~INV3

-4、INV4-1、INV4-2 インバータ

XDEC3-1~XDEC3-4 Xデコーダ

CA3-1~CA3-4 セルアレイ

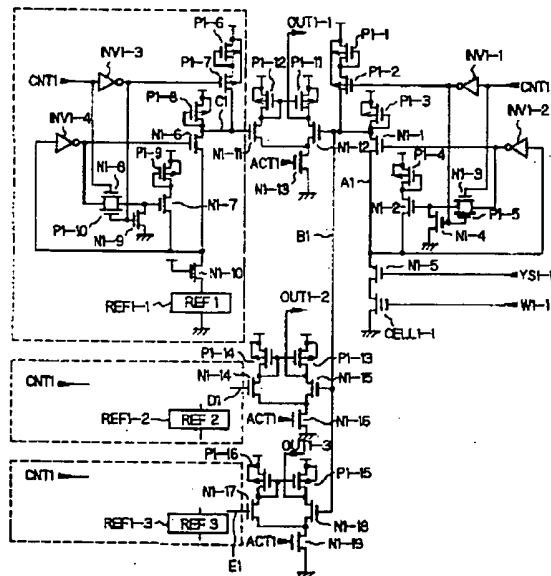
CNT1、ACT1、YS1-1、W1-1、OUT1-1、OUT1-2、OUT1-3、A1、B1、C

1、D1、E1、CNT3、ACT3、YS3-1~YS3-4、OUT3-1~OUT3-4、ACT4、Y

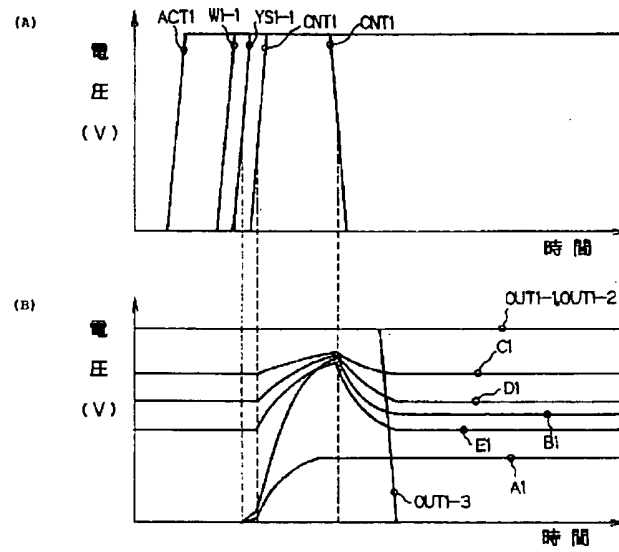
S4-1、W4-1、OUT4-1~OUT4-3、A4、B4、C4、D4、E4 節点

*

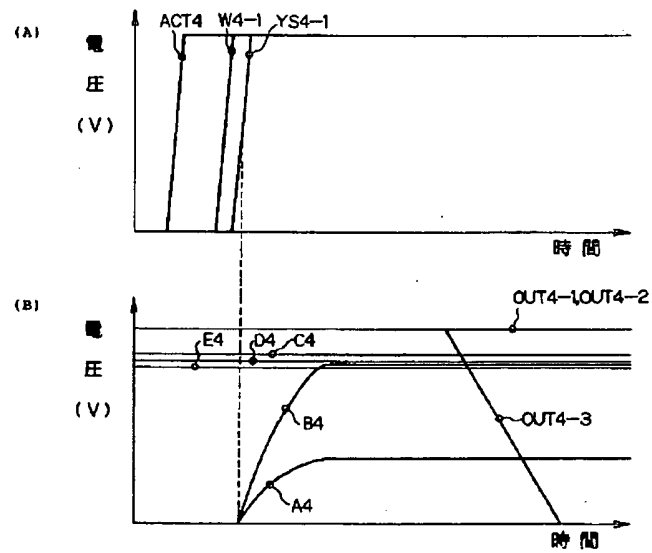
【図1】



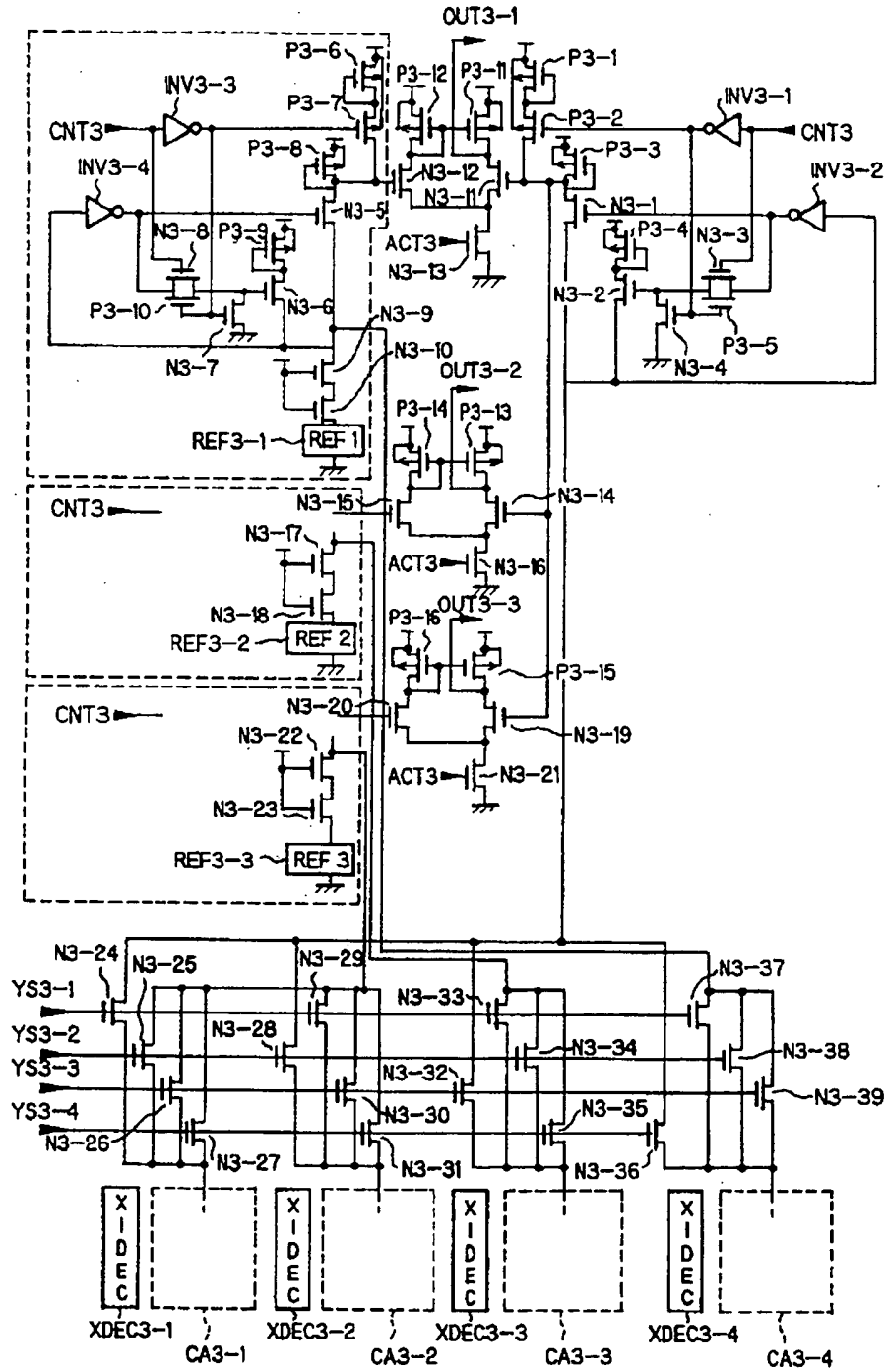
【図2】



【図5】



【図3】



The diagram illustrates a multi-stage differential amplifier circuit, likely for a sensor interface, featuring three differential pairs and three reference inputs.

- Top Stage:** A differential pair with PMOS transistors P4-1 and P4-2, and NMOS transistors N4-1 and N4-2. The gates of P4-1 and P4-2 are connected to a common source node. The gates of N4-1 and N4-2 are connected to a common gate node. The source of N4-1 is connected to a reference input REF4-1 (labeled REF 1). The source of N4-2 is connected to a reference input REF4-2 (labeled REF 2). The gates of P4-1 and P4-2 are connected to a common gate node. The source of P4-1 is connected to a reference input REF4-3 (labeled REF 3). The source of P4-2 is connected to a reference input REF4-4 (labeled REF 4). The gates of N4-1 and N4-2 are connected to a common gate node. The source of N4-1 is connected to a reference input REF4-1 (labeled REF 1). The source of N4-2 is connected to a reference input REF4-2 (labeled REF 2). The gates of P4-1 and P4-2 are connected to a common gate node. The source of P4-1 is connected to a reference input REF4-3 (labeled REF 3). The source of P4-2 is connected to a reference input REF4-4 (labeled REF 4).
- Middle Stage:** A differential pair with PMOS transistors P4-3 and P4-4, and NMOS transistors N4-3 and N4-4. The gates of P4-3 and P4-4 are connected to a common source node. The gates of N4-3 and N4-4 are connected to a common gate node. The source of N4-3 is connected to a reference input REF4-1 (labeled REF 1). The source of N4-4 is connected to a reference input REF4-2 (labeled REF 2). The gates of P4-3 and P4-4 are connected to a common gate node. The source of P4-3 is connected to a reference input REF4-3 (labeled REF 3). The source of P4-4 is connected to a reference input REF4-4 (labeled REF 4). The gates of N4-3 and N4-4 are connected to a common gate node. The source of N4-3 is connected to a reference input REF4-1 (labeled REF 1). The source of N4-4 is connected to a reference input REF4-2 (labeled REF 2). The gates of P4-3 and P4-4 are connected to a common gate node. The source of P4-3 is connected to a reference input REF4-3 (labeled REF 3). The source of P4-4 is connected to a reference input REF4-4 (labeled REF 4).
- Bottom Stage:** A differential pair with PMOS transistors P4-5 and P4-6, and NMOS transistors N4-5 and N4-6. The gates of P4-5 and P4-6 are connected to a common source node. The gates of N4-5 and N4-6 are connected to a common gate node. The source of N4-5 is connected to a reference input REF4-1 (labeled REF 1). The source of N4-6 is connected to a reference input REF4-2 (labeled REF 2). The gates of P4-5 and P4-6 are connected to a common gate node. The source of P4-5 is connected to a reference input REF4-3 (labeled REF 3). The source of P4-6 is connected to a reference input REF4-4 (labeled REF 4). The gates of N4-5 and N4-6 are connected to a common gate node. The source of N4-5 is connected to a reference input REF4-1 (labeled REF 1). The source of N4-6 is connected to a reference input REF4-2 (labeled REF 2). The gates of P4-5 and P4-6 are connected to a common gate node. The source of P4-5 is connected to a reference input REF4-3 (labeled REF 3). The source of P4-6 is connected to a reference input REF4-4 (labeled REF 4).

【図6】

